Guide sur l'Ethernet 1,6 T

EXFO

1 Caractéristique principale : la norme IEEE 802.3dj

Répond aux besoins des centres de données hyperscale et des infrastructures IA.

FFE DFE

L'égalisation améliorée de l'émetteur et du récepteur renforce l'intégrité du signal sur les canaux à haut débit complexes.

200G

Définit la transition vers le 200G par voie et prend en charge les systèmes jusqu'à 1,6 TbE ainsi que les débits de 200G, 400G et 800G.

APSU

Définit le processus de démarrage autonome du tracé (APSU) facilité par les fonctions ILT et RTS.

1.6T

Définit la couche physique et la couche MAC à 200 Gbit/s par voie pour les interfaces agrégées à 1,6 Tb/s.

RS-FEC

Introduit le multiplexage de symboles RS-FEC pour multiplexer des paires ou des quatuors de symboles.

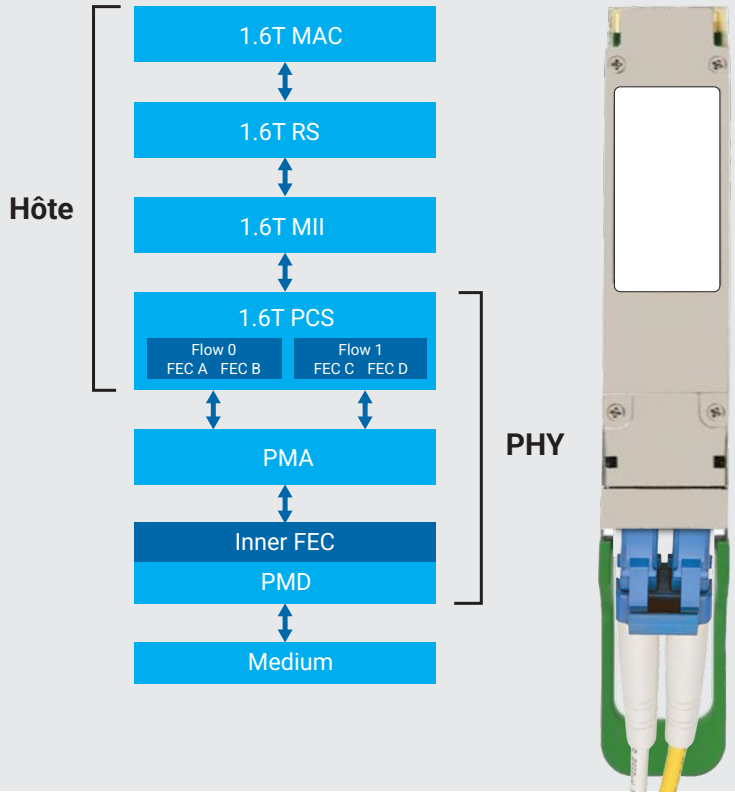
Exploite la signalisation PAM4 sur les interfaces électriques et optiques pour atteindre 200 Gbit/s par voie.

Définit une couche supplémentaire de correction d'erreurs sans voie de retour (FEC), appelée FEC interne (Inner FEC), pour certaines applications à longue portée.

Chronologie : norme Ethernet

2010	2017	2024	2026
100G/40G	400G/200G	800G	Sortie prévue du 1,6T

2 1,6TE couche par couche



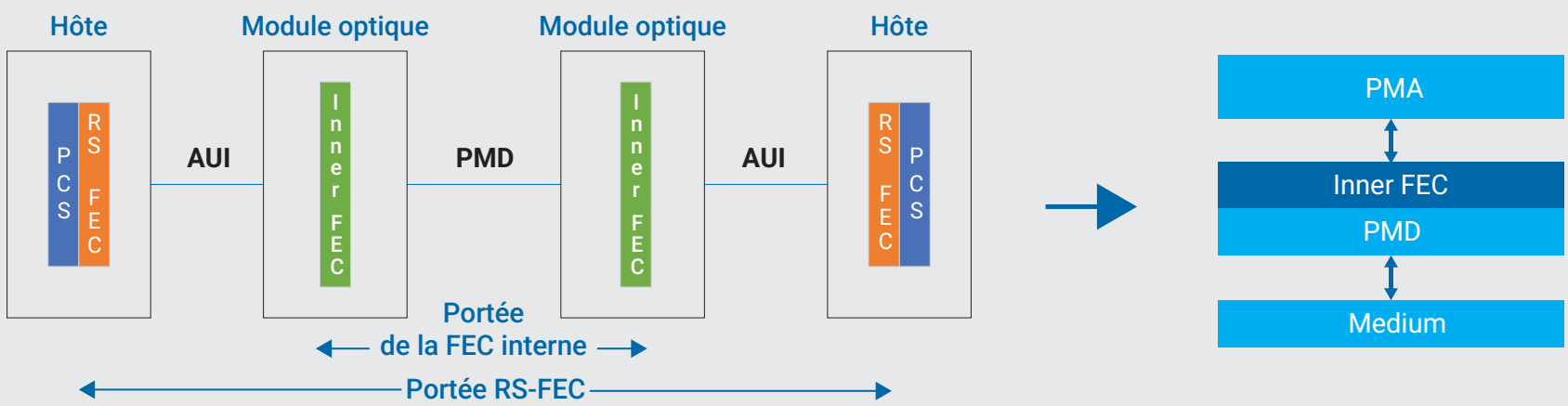
LÉGENDE	
MAC	Media access control
RS	Reconciliation sublayer
MII	Media independence interface
PCS	Physical coding sublayer
PMA	Physical medium attachment
PMD	Physical medium dependent
FEC	Forward error correction

3 FEC interne

Pour les interfaces de 2 km et 10 km, la norme 1.6T impose la mise en place d'une couche supplémentaire de correction d'erreurs sans voie de retour (FEC), appelée FEC interne, en plus de la RS-FEC mise en œuvre dans la couche PCS.

Ses principales caractéristiques sont les suivantes :

- RS-FEC : demeure un mécanisme de FEC de bout en bout et ne s'arrête à aucune sous-couche intermédiaire.
- FEC interne : mise en place au sein de la couche dépendante du support physique (PMD), ce qui signifie qu'elle réside directement à l'intérieur du module optique.
- La spécification de la FEC interne est définie dans les clauses 177 et 183 de la norme.
- L'architecture à double FEC améliore la robustesse de la liaison pour les interfaces optiques à haut débit tout en préservant la correction d'erreurs de bout en bout grâce à la FEC RS de la couche PCS.



4 PMA: multiplexage de symboles

Qu'est-ce que le multiplexage de symboles ?

Un symbole est un groupe de bits représentant une valeur codée. Dans les couches physiques (PHY) Ethernet IEEE 802.3, les données sont organisées en symboles plutôt qu'en bits individuels après le codage et le traitement FEC.

- Multiplexage de bits : entrelace les données un bit à la fois à partir de plusieurs voies.

À mesure que l'Ethernet atteint 1,6 Tb/s avec des voies électriques de 200 Gbit/s, le multiplexage de bits devient de plus en plus difficile à mettre en place aux vitesses requises.

Les avantages du multiplexage de symboles :

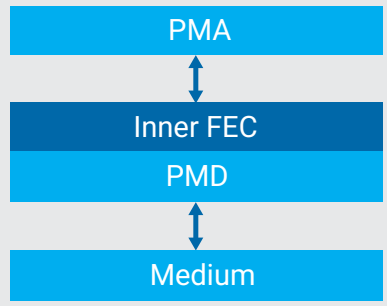
- Complexité de mise en œuvre réduite : ce sont des symboles entiers qui sont commutés, et non des bits individuels à haute vitesse, ce qui simplifie l'appareil.

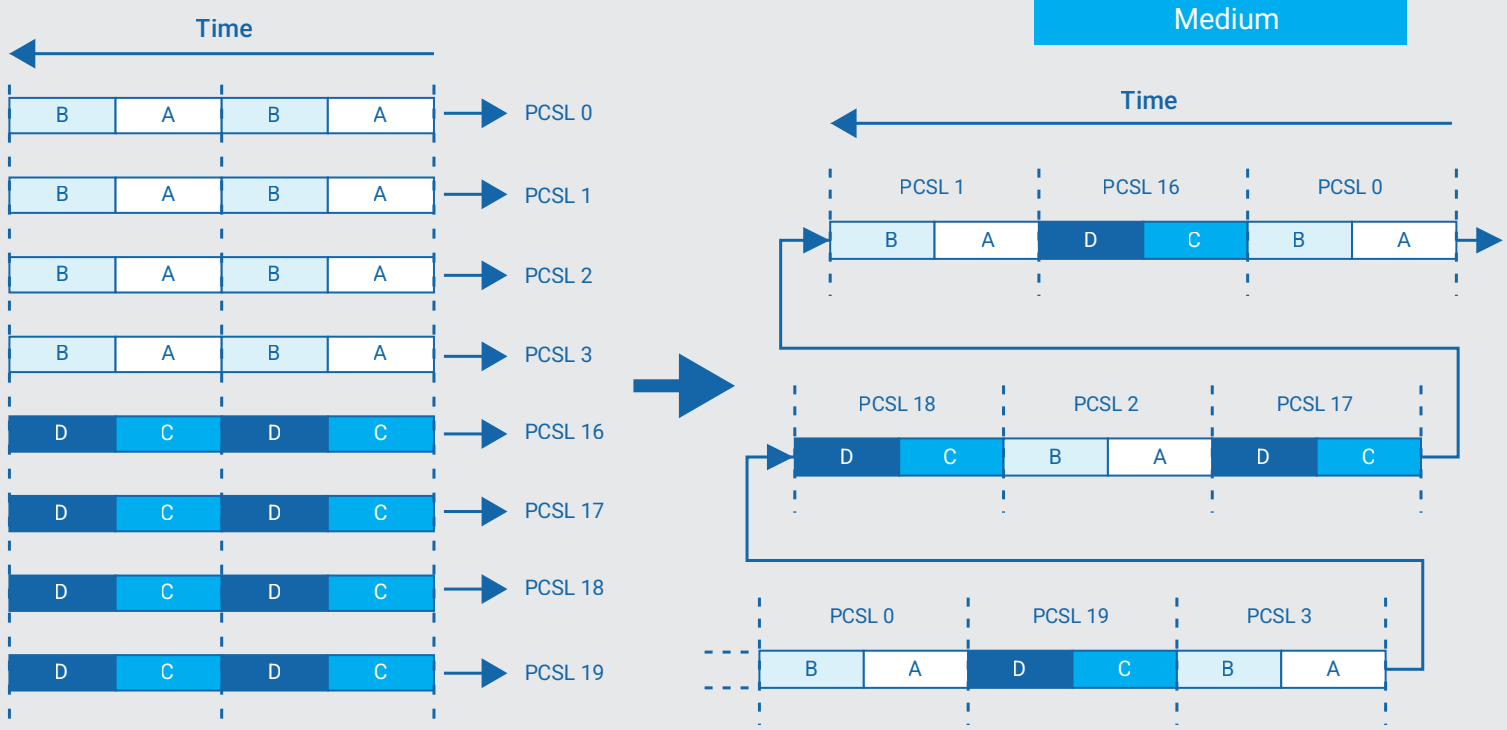
- Multiplexage de symboles : entrelace les données un symbole complet à la fois, en conservant tous les bits d'un symbole ensemble.

Par exemple :

```
Bit mux: Lane 0: 1010... Lane 1: 1101...
Output: 1 1 0 1 1 0 0 1 ...
Symbol mux (4-bit symbols):
Lane 0: [1010] [0011]
Lane 1: [1101] [0100]
Output:
[1010] [1101] [0011] [0100]
```

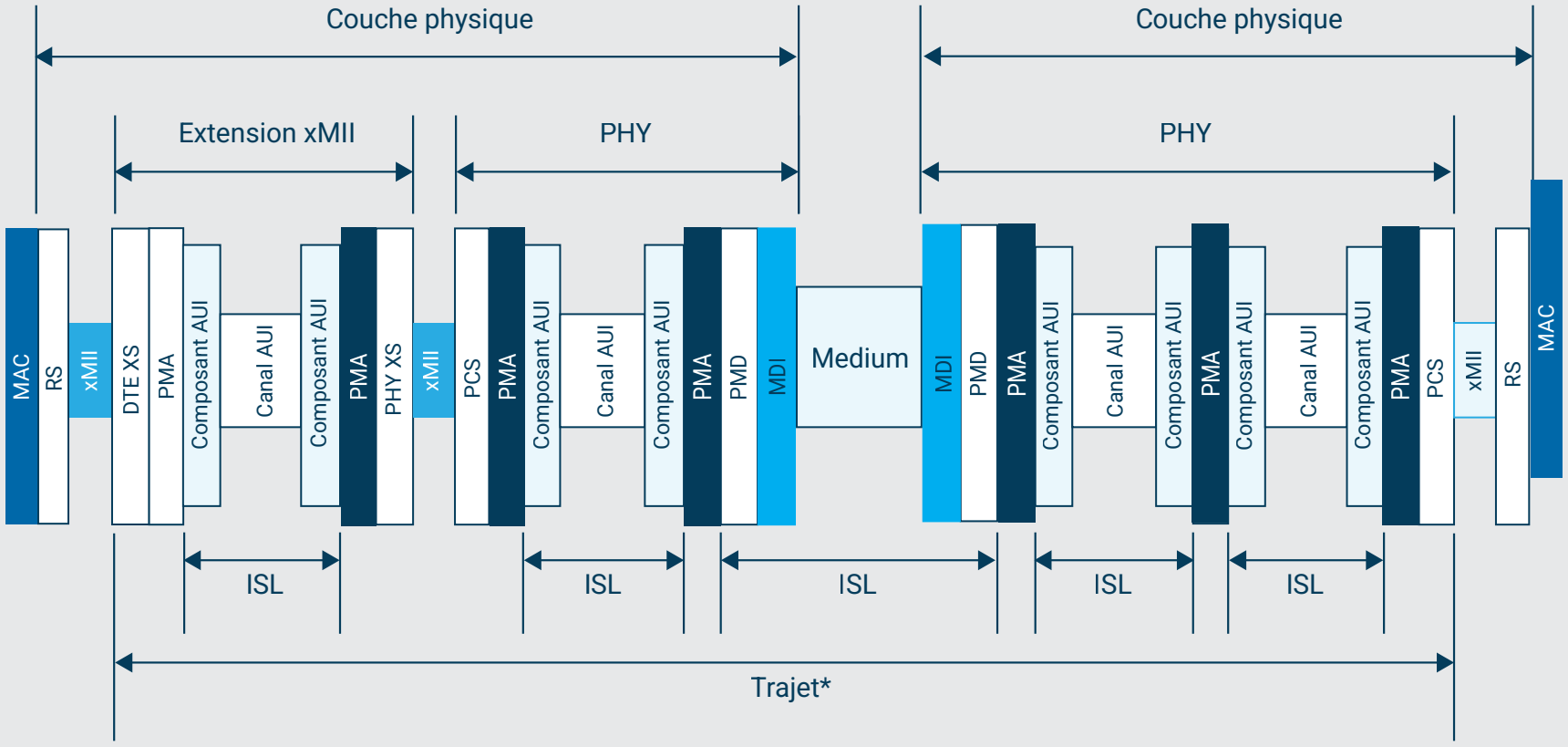
- Meilleur alignement temporel : les limites des symboles sont préservées, ce qui réduit le décalage et les problèmes de synchronisation entre les voies.
- Compatibilité améliorée avec la correction d'erreurs sans voie de retour (FEC) : la correction d'erreurs s'appliquant aux symboles, le fait de conserver les symboles intacts simplifie le codage et le décodage.
- Évolutivité à plus haut débit : le multiplexage par symboles est plus adapté au fonctionnement à 200 Gbit/s par voie et aux futurs débits Ethernet.





5 Démarrage autonome de la trajectoire (APSU)

- La clause 72 de la norme IEEE 802.3 (802.3ap-2007) a introduit pour la première fois le concept de « Link Training », un processus de démarrage au cours duquel le récepteur ajuste les paramètres d'égalisation de l'émetteur distant afin d'optimiser la qualité du signal. Des amendements ultérieurs de l'IEEE ont étendu le « Link Training » pour prendre en charge des débits plus élevés et des interfaces électriques supplémentaires.
- S'appuyant sur plusieurs décennies d'évolution du « Link Training », la norme IEEE P802.3dj fait évoluer les capacités de démarrage Ethernet pour les interfaces comprenant une ou plusieurs liaisons inter-sous-couches (ISL) fonctionnant à 200 Gbit/s par voie et au-delà.
- Plutôt que de considérer l'initialisation de l'émetteur comme une fonction autonome, l'annexe 178B du projet introduit le démarrage autonome de la trajectoire (APSU), un cadre qui coordonne la mise en service sur l'ensemble d'un réseau de communication. L'APSU assure une initialisation coordonnée et ordonnée de toutes les liaisons et sous-couches d'un réseau, plutôt que de se concentrer uniquement sur une seule paire émetteur-récepteur.
- L'APSU s'appuie sur deux fonctions complémentaires :
  - ILT (Inter-Sublayer Link Training) — établit la communication sur une ISL donnée et exécute les fonctions d'apprentissage nécessaires à la mise en service de cette connexion.
  - O RTS (Ready-to-Send) — signale que le système est prêt au démarrage et coordonne l'activation sur une série d'ISL le long du trajet de bout en bout.
- Ensemble, l'ILT et le RTS permettent à l'APSU de mettre en service des réseaux Ethernet complexes de 200G par voie de manière coordonnée et déterministe.



*RTS et/ou ILT effectués sur chaque ISL du trajet de bout en bout

6 Spécifications de la couche physique

DÉBIT DE DONNÉES	TYPE DE PHY	FEC INTERNE	MODULATION OPTIQUE	VOIES DE TRANSMISSION	PORTÉE
200 Gbit/s	200GBASE-CR1	-	-	1x Copper	-
	200GBASE-DR1	-	PAM4	1x SMF	500 m
	200GBASE-DR1-2	√	PAM4	1x SMF	2 km
400 Gbit/s	400GBASE-CR2	-	-	2x Copper	-
	400GBASE-DR2	-	PAM4	2x SMF	500 m
	400GBASE-DR2-2	√	PAM4	2x SMF	2 km
800 Gbit/s	800GBASE-CR4	-	-	4x Copper	-
	800GBASE-DR4	-	PAM4	4x SMF	500 m
	800GBASE-DR4-2	√	PAM4	4x SMF	2 km
	800GBASE-ER1	-	DP-16QAM	1x SMF (Coherent)	40 km
	800GBASE-ER1-20	-	DP-16QAM	1x SMF (Coherent)	20 km
	800GBASE-FR4	√	PAM4	1x SMF (4λ)	2 km
	800GBASE-FR4-500	-	PAM4	1x SMF (4λ)	500 m
	800GBASE-LR1	√	DP-16QAM	1x SMF (Coherent)	10 km
	800GBASE-LR4	-	PAM4	1x SMF (4λ)	10 km
1,6 Tbit/s	1.6TBASE-CR8	-	-	8x Copper	-
	1.6TBASE-DR8	-	PAM4	8x SMF	500 m
	1.6TBASE-DR8-2	√	PAM4	8x SMF	2 km

Remarque : la norme IEEE 802.3dj définit deux architectures de FEC interne : la clause 177 pour les PHY DR-x-2 et la clause 184 pour le 800GBASE-LR1

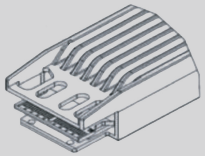
7 Interfaces

Les principales interfaces à 1,6T utilisent le format OSFP (octal small-form-factor pluggable).

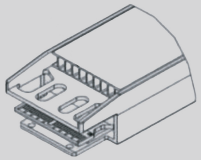
Il existe actuellement deux variantes principales :

OSFP-IHS

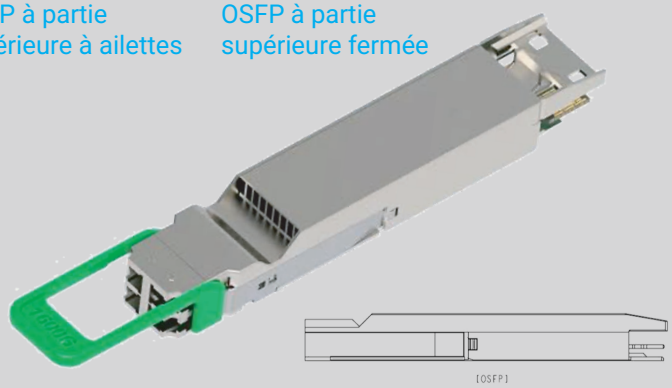
Dissipateur thermique intégré



OSFP à partie supérieure à ailettes

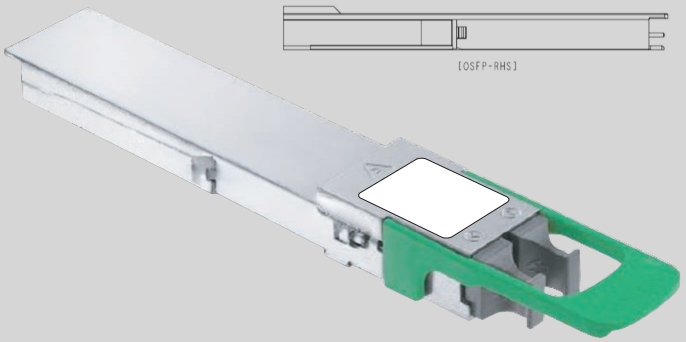


OSFP à partie supérieure fermée



Le dissipateur thermique intégré (IHS) OSFP intègre directement le dissipateur thermique dans le module optique. Cette conception autonome permet un refroidissement par air efficace à 1,6 T. Disponible en configurations à partie supérieure fermée à ailettes et à partie supérieure ouverte à ailettes.

OSFP-RHS



Le dissipateur thermique superposé (RHS) OSFP utilise un dissipateur thermique monté sur l'hôte qui s'interface avec la surface plane du module, alliant des performances thermiques améliorées à une densité élevée de faces avant pour prendre en charge les nouveaux modules optiques de 1,6 T.

Tous ces paramètres de test essentiels sont pris en charge par les solutions de test EXFO, à la fois simples d'utilisation et flexibles.

Contactez dès aujourd'hui nos experts sur EXFO.com